



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Tohru Watanabe
Serial No. : 09/696,393
Filed : October 25, 2000
Title : IMAGE SIGNAL PROCESSOR AND DEFICIENT PIXEL DETECTION METHOD

Art Unit : Unknown
Examiner : Unknown

Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):

- Japan Application No. 2000-282166 filed September 18, 2000
- Japan Application No. 11-305805 filed October 27, 1999
- Japan Application No. 11-307125 filed October 28, 1999

A certified copy of each application from which priority is claimed is submitted herewith.

CERTIFICATE OF MAILING BY FIRST CLASS MAIL

I hereby certify under 37 CFR §1.8(a) that this correspondence is being deposited with the United States Postal Service as first class mail with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

Date of Deposit

February 23, 2001

Signature

Linda Vega

Typed or Printed Name of Person Signing Certificate

Applicant : Tohru Watanabe
Serial No. : 09/696,393
Filed : October 25, 2000
Page : 2

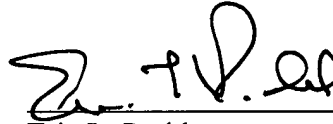
Attorney's Docket No.: 10449-
022001 / P1S2000177US

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: _____

February 22, 2001



Eric L. Prah
Reg. No. 32,590

Fish & Richardson P.C.
225 Franklin Street
Boston, MA 02110-2804
Telephone: (617) 542-5070
Facsimile: (617) 542-8906

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 9月18日

出 願 番 号
Application Number:

特願2000-282166

出 願 人
Applicant(s):

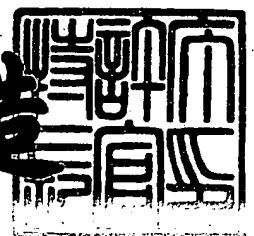
三洋電機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年11月 6日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 KIB1000019

【提出日】 平成12年 9月18日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/335

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 渡辺 透

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 03-3837-7751 法務・知的財産部 東京事
務所

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第305805号

【出願日】 平成11年10月27日

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第307125号

【出願日】 平成11年10月28日

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像信号処理装置及び画素欠陥の検出方法

【特許請求の範囲】

【請求項 1】 画面を表示する画像信号に基づいて、画面上の画素欠陥を検出する画像信号処理装置であって、目標画素に対応する画像信号のレベルを目標画素に隣接する複数の周辺画素に対応する画像信号のレベルに基づいて設定される判定基準値と比較して欠陥候補を検出する検出回路と、上記検出回路により検出された欠陥候補の複数の画面にわたる連続性に基づいて画素欠陥を判定する判定回路と、上記判定回路で判定された画素欠陥の位置を示す欠陥情報を記憶するメモリ回路と、を備え、上記メモリ回路に記憶された欠陥情報に応じて上記目標画素を補正することを特徴とする画像信号処理装置。

【請求項 2】 上記検出回路は、上記複数の周辺画素の信号レベルの最大値と最小値との差を上記複数の周辺画素の信号レベルの平均値に対して加算または減算して判定基準値を設定することを特徴とする請求項 1 に記載の画像信号処理装置。

【請求項 3】 上記検出回路は、上記判定基準値を多段階に設定し、各段階毎に欠陥候補を検出することを特徴とする請求項 2 に記載の画像信号処理装置。

【請求項 4】 上記判定回路は、複数フィールドで欠陥判定動作を継続して画素欠陥の位置を決定した後、上記検出回路と共に動作を停止することを特徴とする請求項 1 乃至請求項 3 の何れかに記載の画像信号処理装置。

【請求項 5】 上記判定回路は、所定の周期で欠陥判定動作を繰り返すことを特徴とする請求項 4 に記載の画像信号処理装置。

【請求項 6】 上記メモリ回路は、上記欠陥情報を上記検出回路の検出結果と共に一時的に記憶する第 1 のメモリ部と、上記第 1 のメモリ部から上記画素欠陥の位置を取り込んで記憶する不揮発性の第 2 のメモリ部と、を有することを特徴とする請求項 1 に記載の画像信号処理装置。

【請求項 7】 上記判定回路は、上記画像信号を得る撮像装置の撮像制御情報を受け、この撮像制御情報と上記判定基準値とに基づいて画素欠陥の判定を行うことを特徴とする請求項 1 に記載の画像信号処理装置。

【請求項 8】 上記判定回路は、上記画像信号を得る撮像装置の撮像制御情報を受け、この撮像制御情報から推定される被写体の輝度が所定の範囲のときに上記判定基準値に基づいて画素欠陥の判定を行うことを特徴とする請求項 7 に記載の画像信号処理装置。

【請求項 9】 上記判定回路は、1 画面を複数の領域に分割した各領域毎に欠陥判定動作を行うことを特徴とする請求項 1 に記載の画像信号処理装置。

【請求項 10】 上記判定回路は、1 画面を複数の領域に分割した各領域毎に対して時分割で繰り返し欠陥判定動作を行うことを特徴とする請求項 9 に記載の画像信号処理装置。

【請求項 11】 上記判定回路及び上記メモリ回路の少なくとも一方は、外部機器が接続可能なバスに接続され、外部機器から画素欠陥の判定条件が変更されることを特徴とする請求項 1 に記載の画像信号処理装置。

【請求項 12】 1 画面を表示する画像信号に基づいて、画面を構成する複数の画素に含まれる画素欠陥を検出する検出方法であって、目標画素の信号レベルを目標画素に隣接する複数の周辺画素の信号レベルに基づいて設定される判定基準値と比較して欠陥候補を検出し、欠陥候補の位置を記憶する第 1 のステップと、上記第 1 のステップで記憶された位置の目標画素の信号レベルを上記判定基準値と再度比較する第 2 のステップと、上記第 2 のステップの比較結果を記憶する第 3 のステップと、を含み、上記第 2 及び第 3 のステップを複数回繰り返して得られる複数の比較結果に応じて画素欠陥を検出することを特徴とする画素欠陥の検出方法。

【請求項 13】 上記複数の周辺画素の信号レベルの最大値と最小値との差を上記複数の周辺画素の信号レベルの平均値に対して加算または減算して判定基準値を設定することを特徴とする請求項 12 に記載の画素欠陥の検出方法。

【請求項 14】 上記第 2 及び第 3 のステップを複数回繰り返して得られる複数の比較結果と共に上記画像信号を得る撮像装置の撮像条件に応じて画素欠陥を検出することを特徴とする請求項 12 に記載の画素欠陥の検出方法。

【請求項 15】 1 画面を表示する画像信号から、画面を構成する複数の画素に含まれる画素欠陥を検出する検出方法であって、目標画素の信号レベルを目

標画素に隣接する複数の周辺画素の信号レベルに基づいて設定される判定基準値と比較して第1の欠陥候補を検出し、上記第1の欠陥候補の位置を記憶する第1のステップと、目標画素の信号レベルを目標画素に隣接する複数の周辺画素の信号レベルに基づいて設定される判定基準値と比較して第2の欠陥候補を検出する第2のステップと、上記第1の画素欠陥候補の位置と上記第2の欠陥候補の位置との一致を判定する第3のステップと、上記第1のステップで記憶された第1の欠陥候補の位置を、上記第3のステップで一致すると判定された位置を残して更新する第4のステップと、を含み、上記第2乃至第3のステップを繰り返すことを特徴とする画素欠陥の検出方法。

【請求項16】 上記複数の周辺画素の信号レベルの最大値と最小値との差を上記複数の周辺画素の信号レベルの平均値に対して加算または減算して判定基準値を設定することを特徴とする請求項15に記載の画素欠陥の検出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像信号に含まれる欠陥を検出して補正する画像信号処理装置及び画素欠陥を検出する検出方法に関する。

【0002】

【従来の技術】

CCDイメージセンサ等の固体撮像素子においては、画素の受光レベルには関係なく、常に一定の電荷が蓄積されて固定レベルを出力するようになる、いわゆる画素欠陥を生じる場合がある。このため、固体撮像素子から得られる画像信号に対する信号処理の過程において、再生画面上に画素欠陥が現れないようする欠陥補正処理が行われる。

【0003】

図15は、画素欠陥の補正処理を行うようにした撮像装置の構成を示すブロック図である。

【0004】

CCDイメージセンサ1は、複数の受光画素が行列配置され、受光した被写体

画像に応じて各受光画素に情報電荷を蓄積する。このCCD 1は、垂直駆動信号 ϕ_v 及び水平駆動信号 ϕ_h によって駆動され、各受光画素に蓄積された情報電荷が1ライン単位で順次転送出力されて、所定のフォーマットに従う画像信号Y0を出力する。駆動回路2は、垂直同期信号VD及び水平同期信号HDに従い、CCD 1を駆動する垂直駆動信号 ϕ_v 及び水平駆動信号 ϕ_h を生成し、CCD 1に供給する。

【0005】

タイミング制御回路3は、一定周期の基準クロックを分周し、垂直走査のタイミングを決定する垂直同期信号VD及び水平走査のタイミングを決定する水平同期信号HDを生成し、駆動回路2に供給する。例えば、NTSCフォーマットの場合、14.32MHzの基準クロックを910分周して水平同期信号HDを生成し、この水平同期信号を525/2分周して垂直同期信号VDを生成する。また、タイミング制御回路3は、後述する信号処理回路4及び欠陥補正回路5に対して、それぞれの動作タイミングをCCD 1の動作タイミングに同期させるためのタイミング信号を供給する。

【0006】

信号処理回路4は、CCD 1から出力される画像信号Y0に対して、サンプルホールド、レベル補正等の信号処理を施し、画像信号Y1として出力する。例えば、サンプルホールド処理においては、信号レベルとリセットレベルとを繰り返す画像信号Y0に対して、リセットレベルをクランプした後に信号レベルを取り出すようにして、信号レベルを継続する画像信号Y1を生成する。また、レベル補正処理においては、出力される画像信号Y1の平均レベルを目標範囲内に収めるようにしてゲインの帰還制御が施される。この信号処理回路4においては、画像信号Y0をサンプルホールドした後、サンプルホールド値がA/D変換され、それ以降はデジタル処理が採用される傾向にある。

【0007】

欠陥補正回路5は、補正情報メモリ6に記憶された補正情報に基づいて、画像信号Y1に対して欠陥補正処理を施す。例えば、欠陥が生じた画素の情報を、その前後の画素の情報の平均値に置き換えるように構成される。補正情報メモリ6

は、CCD 1 の画素欠陥の位置を記憶するもので、例えば、予め CCD 1 の出力をモニタして画素欠陥の位置を検出し、その検出結果を補正アドレス情報として記憶する。

【0008】

【発明が解決しようとする課題】

CCD 1 は、同一工程で製造されたチップであっても、各チップ毎に画素欠陥の発生する位置が異なるため、撮像装置に用いる CCD 1 は、個々に画素欠陥の位置を検出し、補正情報メモリ 6 に記憶する補正アドレス情報を生成する必要がある。このため、素子の組立工程、さらには、素子を組み込む撮像装置の組み立て工程におけるコストの増大を招いている。

【0009】

また、CCD 1 の画素欠陥は、経時変化によって増えることがあり、そのような経時変化が生じた場合には、補正情報メモリ 6 の補正アドレス情報を書き換えなければならない。しかしながら、撮像装置の一般的な使用者は、補正情報メモリ 6 の内容を書き換えるための手段を備えていないため、補正情報メモリ 6 の補正情報アドレスを書き換えることは、事実上困難である。

【0010】

そこで本発明は、組立工程のコストを増大させることなく、素子の経時変化による画素欠陥の変化にも対応できるようにすることを目的とする。

【0011】

【課題を解決するための手段】

本発明の画像信号処理装置は、画面を構成する複数の画素に含まれる画素欠陥を検出するものであって、目標画素の信号レベルを目標画素に隣接する複数の周辺画素の信号レベルに基づいて設定される判定基準値と比較して欠陥候補を検出する検出回路と、上記検出回路により検出された欠陥候補の複数の画面にわたる連続性に基づいて画素欠陥を判定する判定回路と、上記判定回路で判定された画素欠陥の位置を示す欠陥情報を記憶するメモリ回路と、を備え、上記メモリ回路に記憶された欠陥情報に応じて上記目標画素を補正することを特徴としている。

【0012】

これにより、目標画素に対して、その周辺画素と比較して欠陥の可能性がある画素欠陥候補を検出し、その検出結果の連続性に基づいて画素欠陥を判定することで、再生画面上で視覚的に認識される画素欠陥を的確に検出することができるようになる。

【0013】

そして、本発明の画素欠陥の検出方法は、1画面を表示する画像信号から、画面を構成する複数の画素に含まれる画素欠陥を検出するものであって、目標画素の信号レベルを目標画素に隣接する複数の周辺画素の信号レベルに基づいて設定される判定基準値と比較して欠陥候補を検出し、欠陥候補の位置を記憶する第1のステップと、上記第1のステップで記憶された位置の目標画素の信号レベルを上記判定基準値と比較して上記欠陥候補の中から画素欠陥を抽出する第2のステップと、上記第1のステップで記憶した欠陥候補の位置を上記第2のステップで抽出した画素欠陥に応じて更新する第3のステップと、を含み、上記第2及び第3のステップを複数回繰り返して画素欠陥を検出することを特徴としている。

【0014】

さらに本発明の画素欠陥の検出方法は、目標画素の信号レベルを目標画素に隣接する複数の周辺画素の信号レベルに基づいて設定される判定基準値と比較して欠陥候補を検出する第1のステップと、欠陥候補となった目標画素の信号レベルを複数の画面で上記判定基準値と繰り返し比較する第2のステップと、繰り返し得られる上記第2のステップの比較結果が上記第1のステップの比較結果と一致するか否かを判定する第3のステップと、を含み、上記第3のステップで所定の回数以上一致すると判定された目標画素を画素欠陥とすることを特徴としている。

【0015】

これにより、画面が一時的に画素欠陥を検出しにくい状態となったとしても、画素欠陥の検出、判定の動作を継続することで、誤った検出が成される可能性を低くすることができる。

【0016】

【発明の実施の形態】

図 1 は、本発明の画像信号処理装置の第 1 の実施形態を示すブロック図である。

【 0 0 1 7 】

本発明の画像信号処理装置は、画像メモリ回路 1 1、欠陥検出回路 1 2、位置メモリ回路 1 3、欠陥判定回路 1 4、欠陥登録回路 1 5 及び欠陥補正回路 1 6 より構成される。この画像信号処理装置は、撮像素子の出力に対して所定の処理が施され、A/D 変換されてデジタルデータとして与えられる画像信号 $Y(n)$ に対して画素欠陥の補正処理を施すように構成される。

【 0 0 1 8 】

画像メモリ回路 1 1 は、複数のラインメモリと複数のラッチとを備え、1 行単位で連続して入力される画像信号 $Y(n)$ を取り込み、目標画素 $P0$ に対応する画像信号 $Y(P0)$ と、その周辺画素 $P1 \sim P8$ に対応する画像信号 $Y(P1) \sim Y(P8)$ とを出力する。

【 0 0 1 9 】

欠陥検出回路 1 2 は、画像メモリ回路 1 1 から入力される周辺画素 $P1 \sim P8$ の画像信号 $Y(P1) \sim Y(P8)$ に基づいて白欠陥を判定するための判定基準値 Lw と黒欠陥を判定するための判定基準値 Lb とを生成し、これらの判定基準値 Lw 、 Lb と目標画素 $P0$ の画像信号 $Y(P0)$ とを比較して画素欠陥を検出する。この欠陥検出回路 1 2 では、画像信号 $Y(n)$ を得る固体撮像素子の物理的な欠陥に起因する真の画素欠陥と、被写体の都合で偶発的に画素欠陥と見なされる見かけ上の画素欠陥とが区別なく検出され、それらが全て欠陥候補となる。この欠陥検出回路 1 2 の検出動作においては、画素欠陥の位置がアドレス情報として出力される。例えば、画像信号 $Y(n)$ の入力に同期して画素数をカウントし、画素欠陥が検出されたときのカウント値をアドレス情報として出力するように構成される。

【 0 0 2 0 】

位置メモリ回路 1 3 は、スタティックメモリ (SRAM) など高速動作に対応できる揮発性の一次メモリ部 1 3 a 及びプログラマブルメモリ (EEPROM) などの不揮発性の二次メモリ部 1 3 b からなり、欠陥検出回路 1 2 や欠陥判定回路 1 4 から出力されるアドレス情報を画素欠陥の位置情報として記憶する。一次

メモリ部 1 3 a は、画素欠陥の判定動作を行う過程で一時的に生成されるアドレス情報を記憶する。二次メモリ部 1 3 b は、画素欠陥の判定動作の結果、最終的に画素欠陥であると判定されたアドレス情報を記憶する。

【 0 0 2 1 】

欠陥判定回路 1 4 は、位置メモリ回路 1 3 に記憶されたアドレス情報について、画素欠陥の複数の画面にわたる連続性に基づいて、各アドレス情報によって示される位置の画素が、真の画素欠陥かどうかを判定する。即ち、被写体の都合で偶発的に画素欠陥として検出された場合には、ある程度の時間を経過した段階で画素欠陥としては検出されなくなるため、ある程度のフィールド期間継続して欠陥と判定されたアドレスのみを真の画素欠陥と判定するように構成される。例えば、位置メモリ回路 3 に記憶されたアドレス情報が示す画素について、複数の画面で欠陥検出回路 1 2 における検出動作と同一の検出動作を繰り返すことや、欠陥検出回路 1 2 を複数の画面で連続して動作させながら、各画面毎に得られる画素欠陥を示すアドレス情報を対比することで、画素欠陥の連続性を判断するように構成される。なお、欠陥判定回路 1 4 における検出動作が欠陥検出回路 1 2 の検出動作と同一の場合、検出回路の一部を共有にするようにしてもよい。

【 0 0 2 2 】

欠陥登録回路 1 5 は、欠陥判定回路 1 4 において、真の画素欠陥であると判定された画素のアドレス情報を抽出して位置メモリ回路 1 3 に記憶させる。そして、欠陥補正回路 1 6 は、欠陥登録回路 1 5 によって位置メモリ回路 1 3 に記憶されたアドレス情報に基づいて、画像信号 $Y(P0)$ を補正信号 $Y(c)$ に置き換える。ここで、補正信号 $Y(c)$ は、例えば、目標画素 $P0$ の周辺に位置する複数の周辺画素の画像信号を平均することにより生成される。これにより、欠陥補正回路 1 5 からは、白欠陥及び黒欠陥が補正された画像信号 $Y'(n)$ が出力されることになる。

【 0 0 2 3 】

ところで、欠陥検出回路 1 2 における画素欠陥の検出については、判定基準値 Lw 、 Lb を多段階に設定し、画素欠陥候補に重み付けをするようにしてもよい。即ち、欠陥として判定された画素でも、所定の判定基準値 Lw 、 Lb から大きくは

ずれた場合と、わずかにはずれた場合とでは、表示される画面上での目立ち方が異なるため、画素欠陥の程度をレベル付けして位置メモリ回路 1 3 に記憶させるようにする。このように画素欠陥の程度をレベル付けして位置メモリ回路 1 3 に記憶しておけば、位置メモリ回路 1 3 に登録できる画素欠陥の数に制限があるとき、欠陥登録回路 1 5 が画素欠陥のレベルが高いものから優先して登録するように構成することができる。また、既に位置メモリ回路 1 3 に新しい画素欠陥を登録する余裕がないときには、新たに登録しようとする画素欠陥と既に登録されている画素欠陥との欠陥レベルを比較し、その比較結果に応じて書き換えをすることで、画面上で目立ちやすい画素欠陥から優先して補正することができる。

【 0 0 2 4 】

図 2 は、画像メモリ回路 1 1 の一例を示すブロック図である。このメモリ回路 1 1 は、第 1、第 2 のラインメモリ 2 1、2 2 及び第 1～第 6 のラッチ 2 3～2 8 より構成され、図 3 に示すように、目標画素 P 0 と、その周辺に隣接する 8 個の周辺画素 P 1～P 8 に対応する画像信号 Y (0)、Y (1)～Y (8) を同時に出力する。

【 0 0 2 5 】

第 1 及び第 2 のラインメモリ 2 1、2 2 は、互いに直列に接続され、順次入力される画像信号 Y (n) が第 1 のラインメモリ 2 1 に書き込まると共に、第 1 のラインメモリ 2 1 から順次読み出される画像信号 Y (n) が第 2 のラインメモリ 2 2 に書き込まれる。これにより、順次入力されてくる画像信号 Y (n) に対して、第 1 のラインメモリ 2 1 からは、1 行前の画像信号 Y (n) が読み出され、第 2 のラインメモリ 2 2 からは、2 行前の画像信号 Y (n) が読み出される。

【 0 0 2 6 】

第 1 及び第 2 のラッチ 2 3、2 4 は、画像信号 Y (n) の入力に対して直列に接続され、1 画素前の画像信号 Y (n) が第 1 のラッチ 2 3 に保持され、2 画素前の画像信号 Y (n) が第 2 のラッチ 2 4 に保持される。これより、入力される画像信号 Y (n) が、そのまま周辺画素 P 8 に対応する画像信号 Y (P 8) として出力され、第 1 及び第 2 のラッチ 2 3、2 4 に保持された画像信号 Y (n) が、それぞれ周辺画素 P 7、P 6 に対応する画像信号 Y (P 7)、Y (P 6) として出力される。

【 0 0 2 7 】

第 3 及び第 4 のラッチ 2 5、2 6 は、第 1 のラインメモリ 2 1 の入力に対して直列に接続され、1 行前で且つ 1 画素前の画像信号 $Y(n)$ が第 3 のラッチ 2 5 に保持され、2 画素前の画像信号 $Y(n)$ が第 4 のラッチ 2 6 に保持される。これより、第 1 のラインメモリから読み出される画像信号 $Y(n)$ が、周辺画素 P5 に対応する画像信号 $Y(P5)$ として出力され、第 3 及び第 4 のラッチ 2 5、2 6 に保持された画像信号 $Y(n)$ が、それぞれ目標画素 P0 に対応する画像信号 $Y(P0)$ 及び周辺画素 P4 に対応する画像信号 $Y(P4)$ として出力される。

【 0 0 2 8 】

同様に、第 5 及び第 6 のラッチ 2 7、2 8 は、第 2 のラインメモリ 2 2 の入力に対して直列に接続され、2 行前で且つ 1 画素前の画像信号 $Y(n)$ が第 5 のラッチ 2 7 に保持され、2 画素前の画像信号 $Y(n)$ が第 6 のラッチ 2 8 に保持される。これより、第 2 のラインメモリから読み出される画像信号 $Y(n)$ が、周辺画素 P3 に対応する画像信号 $Y(P3)$ として出力され、第 5 及び第 6 のラッチ 2 7、2 8 に保持された画像信号 $Y(n)$ が、それぞれ周辺画素 P2、P1 に対応する画像信号 $Y(P2)$ 、 $Y(P2)$ として出力される。

【 0 0 2 9 】

従って、画像メモリ回路 1 1 においては、画像信号 $Y(n)$ を順次取り込みながら、目標画素 P0 の画像信号 $Y(P0)$ と、その周辺に位置する周辺画素 P1～P8 の画像信号 $Y(P1) \sim Y(P8)$ とが並列に出力されるようになる。

【 0 0 3 0 】

図 4 は、欠陥検出回路 1 2 の構成を示すブロック図である。この欠陥検出回路 1 2 は、平均値算出部 3 1、最大値検出部 3 2、最小値検出部 3 3、第 1 及び第 2 の減算器 3 4、3 5、加算器 3 6、第 1 及び第 2 の比較器 3 7、3 8 より構成される。

【 0 0 3 1 】

平均値算出部 3 1 は、周辺画素 P1～P8 の画像信号 $Y(P1) \sim Y(P8)$ をそれぞれ取り込み、それらの平均レベル L_{av} を算出する。最大値検出部 3 2 及び最小値検出部 3 3 は、画像信号 $Y(P1) \sim Y(P8)$ のうちの最大レベル L_{max} 及び最小レベル

L_{min} をそれぞれ検出する。

【 0 0 3 2 】

第 1 の減算器 3 4 は、最小値検出部 3 3 から入力される最小レベル L_{min} を最大値検出部 3 2 から入力される最大レベル L_{max} から減算し、それらの差 ΔL を算出する。そして、第 1 の加算器 3 6 は、平均値算出部 3 1 から入力される平均レベル L_{av} に差 ΔL を加算し、白欠陥を判定するための判定基準値 L_w を生成する。また、第 2 の減算器 3 5 は、平均値算出部 3 1 から入力される平均レベル L_{av} から第 1 の減算器 3 4 から入力される差 ΔL を減算し、黒欠陥を判定するための判定基準値 L_b を生成する。

【 0 0 3 3 】

第 1 の比較器 3 7 は、第 2 の減算器 3 5 から入力される判定基準値 L_b と目標画素 P_0 に対応する画像信号 $Y(P_0)$ とを比較し、画像信号 $Y(P_0)$ のレベルが判定基準値 L_b に達していなかったとき、即ち、目標画素 P_0 が黒欠陥であると判定されたときに立ち上げられる検出出力 D_b を発生する。第 2 の比較器 3 8 は、加算器 3 6 から入力される判定基準値 L_w と目標画素 P_0 に対応する画像信号 $Y(P_0)$ とを比較し、画像信号 $Y(P_0)$ のレベルが判定基準値 L_w に達しなかったとき、即ち、目標画素 P_0 が白欠陥であると判定されたときに立ち上げられる検出出力 D_w を発生する。

【 0 0 3 4 】

図 5 は、周辺画素を表す画像信号のレベルと、これらのレベルから算出される画素欠陥の判定レベルとの関係を示す図であり、図 6 は、欠陥判定動作の動作ステップを示すフローチャートである。これらの図においては、図 3 に示すように、目標画素 P_0 に対して、目標画素 P_0 に隣接する 8 個の周辺画素 $P_1 \sim P_8$ を参照して画素欠陥の判定を行う場合を示している。

【 0 0 3 5 】

第 1 のステップ S_1 では、平均値算出回路 3 1 において、周辺画素 $P_1 \sim P_8$ を表す 8 画素分の画像信号 $Y(P_1) \sim Y(P_8)$ の平均レベル L_{av} を算出する。第 2 のステップ S_2 では、最大値検出回路 3 2 及び最小値検出回路 3 3 において、周辺画素 $P_1 \sim P_8$ を表す 8 画素分の画像信号 $Y(P_1) \sim Y(P_8)$ の最大レベル L_{max} 及び最

小レベル L_{\min} を検出する。以上の第 1 のステップ S_1 及び第 2 のステップ S_2 については、順不同で差し支えない。

【 0 0 3 6 】

第 3 のステップ S_3 では、第 1 の減算器 3 4 において、最大レベル L_{\max} から最小レベル L_{\min} を減算し、両レベルの差 ΔL を算出する。第 4 のステップ S_4 では、第 2 の減算器 3 5 において、平均レベル L_{av} から差 ΔL を減算し、黒欠陥を検出するための第 1 の判定基準値 L_b を生成し、加算器 3 6 において、平均レベル L_{av} に差 ΔL を加算し、白欠陥を検出するための第 2 の判定基準値 L_w を生成する。そして、第 5 のステップ S_5 では、第 1 及び第 2 の比較器 3 7、3 8 において、第 1 及び第 2 の判定基準値 L_b 、 L_w を目標画素 P_0 の画像信号 $Y(P_0)$ と比較して画素欠陥を判定し、検出出力 D_b 、 D_w を発生する。

【 0 0 3 7 】

第 1 ～第 5 のステップによって生成された第 1 の判定基準値 L_w 及び第 2 の判定基準値 L_b は、周辺画素の状況によって変化し、常に最適な値に保たれることになる。ここで、判定基準値 L_w 、 L_b については、周辺画素のレベル差が小さいとき、平均レベル L_{av} に近い値となり、周辺画素のレベル差が大きいときには、平均レベル L_{av} から離れた値となる。従って、画面上で濃淡の差が小さい領域では判定基準値 L_w 、 L_b の範囲が狭くなり、逆に、濃淡の差が大きい領域では判定基準値 L_w 、 L_b の範囲が広くなるため、視覚的に目立ちやすい画素欠陥を効率よく検出できる。

【 0 0 3 8 】

図 7 は、欠陥検出回路 1 2 において、アドレス情報を生成するための回路の一例を示すブロック図である。このアドレス情報を生成する回路は、水平カウンタ 5 1、垂直カウンタ 5 2、水平データラッチ 5 3 及び垂直データラッチ 5 4 より構成される。

【 0 0 3 9 】

水平カウンタ 5 1 は、水平同期信号 HD_1 に従うタイミングでリセットされ、欠陥検出回路 1 2 の検出動作に同期した一定周期のクロック CK_1 に従うタイミングでカウントアップされる。これにより、水平カウンタ 5 1 は、各水平走査期

間に、1ライン分の画素数だけカウント動作を繰り返し、水平方向の画素番号をカウントする。垂直カウンタ52は、垂直同期信号VD1に従うタイミングでリセットされ、水平同期信号HD1に従うタイミングでカウントアップされる。これにより、垂直カウンタ51は、各垂直走査期間に、1画面分の水平走査線数だけカウント動作を繰り返し、垂直方向の画素番号をカウントする。

【0040】

水平データラッチ53は、水平カウンタ51に接続され、検出出力Db、Dwの何れかに応答して水平カウンタ51のカウント値を取り込む。これにより、水平データラッチ53から、検出出力Db、Dwの立ち上がりのタイミング、即ち、欠陥検出回路12で検出された画素欠陥の水平方向の位置を示す水平アドレス信号Fhが取り出される。垂直データラッチ54は、垂直カウンタ52に接続され、水平データラッチ53と同様に、検出出力Db、Dwの何れかに応答して垂直カウンタ52のカウント値を取り込む。これにより、垂直データラッチ54から、検出出力Db、Dwの立ち上がりのタイミング、即ち、欠陥検出回路12で検出された画素欠陥の垂直方向の位置を示す垂直アドレス信号Fvが取り出される。

【0041】

例えば、図8に示すように、6行×8列の画面を考えた場合、水平カウンタ51は、「1」～「8」の範囲でカウントを繰り返し、垂直カウンタ52は、「1」～「6」の範囲でカウントを繰り返す。そこで、3行3列目に画素欠陥があったとすれば、検出出力Db、Dwの立ち上がりで水平カウンタ51のカウント値を水平データラッチ53に取り込むと、水平アドレス信号Fhとして「3」が出力される。そして、検出出力Db、Dwの立ち上がりで垂直カウンタ52のカウント値を垂直データラッチ54に取り込むと、垂直アドレス信号Fvとして「3」が出力される。このようにして出力されるアドレス信号Fh、Fvは、画素欠陥である可能性を含む候補を示すもので、欠陥判定回路14に供給される。

【0042】

図9は、欠陥補正回路16の構成の一例を示すブロック図である。この欠陥補正回路16は、第1～第4の除算器61～64、第1～第3の加算器65～67、セクタ68及び比較器69より構成される。この欠陥補正回路15において

は、目標画素 P0 の上下に位置する周辺画素 P2、P7 の画像信号 Y (P2)、Y (P7) と、上下に位置する周辺画素 P4、P5 の画像信号 Y (P4)、Y (P5) とに基づいて補正信号 Y (c) を生成する場合を示している。

【 0 0 4 3 】

第 1 ～第 4 の除算器 6 1 ～6 4 は、メモリ回路 1 1 から入力される画像信号 Y (P2)、Y (P7)、Y (P4)、Y (P5) をそれぞれ 1 / 4 にする。第 1 の加算器 6 5 は、第 1 及び第 2 の除算器 6 1、6 2 の除算結果を加算し、第 2 の加算器 6 6 は、第 3 及び第 4 の除算器 6 3、6 4 の除算結果を加算する。そして、第 3 の加算器 6 7 は、第 1 の加算器 6 5 の加算結果と第 2 の加算器 6 6 に加算結果とを加算し、補正信号 Y (c) を生成する。

【 0 0 4 4 】

セクタ 6 8 は、比較器 6 9 から入力される選択制御信号 S に応答して、目標画素 P0 の画像信号 Y (P0) または補正信号 Y (c) の何れかを選択し、画素欠陥を補正した画像信号 Y' (P0) として出力する。

【 0 0 4 5 】

比較器 6 9 は、位置メモリ回路 1 3 に記憶されたアドレス情報に基づく水平位置情報 Fh 及び垂直位置情報 Fv を、水平走査周期で変化する水平参照情報 Rh 及び垂直参照情報 Rv と比較し、それらが互いに一致したときに立ち上げられる選択制御信号 S を発生する。ここで用いられる水平参照情報 Rh 及び垂直参照情報 Rv については、図 7 に示すアドレス発生回路の水平カウンタ 5 1 及び垂直カウンタ 5 2 を用いて生成することができる。

【 0 0 4 6 】

従って、セクタ 6 8 は、位置メモリ回路 1 3 に記憶された、画素欠陥の位置を示すアドレス情報に従う位置情報 Fh、Fv と参照情報 Rh、Rv とが一致したタイミングで、目標画素 P0 の画像信号 Y (P0) が補正信号 Y (c) に置き換えられる。この結果、画素欠陥は、その周辺画素の情報によって補正されることになる。

【 0 0 4 7 】

図 1 0 は、本発明の画像信号処理装置の第 2 の実施形態を示すブロック図である。この実施形態においては、欠陥判定回路 1 4' が、目標画素の欠陥を判定す

るとき、画素欠陥の連続性に加えて、画像信号 $Y(n)$ を得る撮像装置の撮像条件を用いるように構成している。なお、欠陥判定回路 14' 以外の各部については、図 1 に示す第 1 の実施形態の画像信号処理装置と同一である。

【0048】

欠陥判定回路 14' は、位置メモリ回路 13 に記憶された欠陥候補のアドレス情報に基づいて、欠陥画素の判定を繰り返し、アドレス情報を更新する。この欠陥画素の判定においては、欠陥検出回路 12 における画素欠陥の判定と同様の判定を行うと共に、画像信号 $Y(n)$ を得る撮像装置の動作状態を示す情報を受け取り、それぞれの情報の内容に応じて判定基準を変更するように構成している。即ち、被写体画像の輝度が高いときには白欠陥が目立たず、逆に、被写体画像の輝度が低いときには黒欠陥が目立たないことから、単純に画像信号 $Y(n)$ のレベルのみで画素欠陥の判定を行うと、真の欠陥が欠陥として判定されないおそれがある。そこで、画像信号 $Y(n)$ を得る撮像装置の動作状態を示す露光制御情報 $E(m)$ や利得制御情報 $G(m)$ 等に基づいて、画素欠陥の判定基準を変更したり、被写体の状態によっては画素欠陥の判定動作自体を一時的に停止するように構成している。例えば、露光制御情報 $E(m)$ や利得制御情報 $G(m)$ によって推定される被写体輝度がある基準を超えるとときに白欠陥の判定動作を停止し、ある基準に達していないときに黒欠陥の判定動作を停止するように構成する。

【0049】

なお、露光制御情報 $E(m)$ や利得制御情報 $G(m)$ の他、撮像装置において撮像制御に用いられる情報であれば、判定動作に用いることが可能である。例えば、撮像装置の光学系の焦点を制御するためのフォーカス制御情報を用い、焦点が定まる前に集中して欠陥判定を行うように構成する。真の画素欠陥であれば、撮像装置の光学系の焦点が定まっていなくても、周辺の画素とは明らかな差が生じるため、焦点が定まる前に欠陥判定を行えば、より正確な判定をすることが可能になる。

【0050】

また、欠陥判定回路 14' では、画素欠陥を画像信号 $Y(n)$ のレベルのみで判定し、その判定結果から得られるアドレス情報に露光制御情報 $E(m)$ や利得制御

情報G(m)等の制御情報を付加するようにしてもよい。即ち、画素欠陥を示すアドレス情報に、撮像制御情報を付加しておくことにより、欠陥補正を行う時点でアドレス情報によって示される画素に対して画素欠陥としての補正処理を施すか否かを選択することができるようになる。

【0051】

図11は、本発明の画像信号処理装置の第3の実施形態を示すブロック図である。この実施形態においては、図1に示す第1の実施形態の画像信号処理装置の構成に加えて、エリア指定回路17を設け、欠陥検出回路12の検出動作を画像の特定エリア毎に制限するようにしている。ここで、欠陥判定回路14については、図10に示す第2の実施形態と同様に、画素欠陥の判定を行う際、画像信号Y(n)のレベルに加えて、画像信号Y(n)を得る撮像装置の撮像情報を用いるようにすることも可能である。

【0052】

エリア指定回路17は、画像信号Y(n)の水平走査及び垂直走査のタイミングに同期し、1画面を複数の領域に分割するように欠陥検出回路12に対して指示を与える。例えば、水平走査期間を4分割すると共に、垂直走査期間を3分割することで、1画面を3行×4列からなる12の領域に分割し、そのうちの1つの分割領域のみで欠陥検出回路12の欠陥検出動作を許可するように構成される。そして、エリア指定回路17は、欠陥登録回路15からの指示、即ち、1つの分割領域の画素欠陥のアドレスが確定し、欠陥登録回路15が画素欠陥のアドレス情報の登録を完了したとき、画素欠陥の検出を行う分割領域を変更する。なお、分割領域内に画素欠陥が検出されず、欠陥登録回路15が画素欠陥の登録を行わなかった場合でも、所定の欠陥検出動作が完了した時点で、画素欠陥の検出を行う分割領域が変更される。これにより、欠陥検出回路12では、画面上の複数の分割領域に対して、時分割で順次画素欠陥の検出が行われるようになる。

【0053】

欠陥検出回路12を各分割領域毎に時分割で動作させるようにすれば、欠陥検出回路12で検出される欠陥候補を記憶する位置メモリ13の容量を節約することができる。即ち、欠陥検出回路12では、最終的に画素欠陥として登録される

画素よりも多くの画素が検出されるため、その画素のアドレスを一時的に記憶しておくためには、位置メモリ回路 1 3、特に一次メモリ部 1 3 a の容量を大きく設定しなければならない。そこで、欠陥検出回路 1 2 を時分割で動作させるようにすれば、一時メモリ部 1 3 a の容量を節約でき、回路規模の増大を防止することができる。

【 0 0 5 4 】

図 1 2 は、本発明の画像信号処理装置の第 4 の実施形態を示すブロック図である。この実施形態においては、図 1 に示す第 1 の実施形態の画像信号処理装置の構成に加えて、インタフェース回路 1 8 を設けるようにしている。ここで、欠陥判定回路 1 4 については、図 1 0 に示す第 2 の実施形態と同様に、画素欠陥の判定を行う際、画像信号 $Y(n)$ のレベルに加えて、画像信号 $Y(n)$ を得る撮像装置の撮像情報を用いるようにすることも可能である。さらには、図 1 1 に示す第 3 の実施形態と同様に、エリア指定回路 1 7 を設け、欠陥検出回路 1 2 を画面上の分割領域毎に動作させるようにしてもよい。

【 0 0 5 5 】

インタフェース回路 1 8 は、シリアルバス 1 9 に接続され、そのシリアルバス 1 9 を介して画像信号処理装置を外部のコンピュータ機器と接続できるようにしている。これにより、シリアルバス 1 9 に接続されるコンピュータ機器から、位置メモリ回路 1 3 のアドレス情報や欠陥判定回路 1 4 の判定基準の設定を変更できるようになる。例えば、第 2 の実施形態において、欠陥判定回路 1 2 に与えられる露光制御情報 $E(m)$ や利得制御情報 $G(m)$ を判定に用いるか否かの選択や、用いる場合には、何れの情報を優先させるか等をシリアルバス及びインタフェース回路 1 8 を介してコンピュータ機器から設定できるようになる。また、第 3 の実施形態においては、エリア指定回路 1 7 の分割範囲をシリアルバス及びインタフェース回路 1 8 を介してコンピュータ機器から供給して変更できるようになる。

【 0 0 5 6 】

ところで、インタフェース回路 1 8 については、バスラインを介して各部に接続する他に、欠陥判定回路 1 4 や欠陥登録回路 1 5 に対して直接接続するように

してもよい。

【0057】

図13は、本発明の画像欠陥の第1の検出方法を示すフローチャートである。この検出方法は、図1（または図10、図11、図12の何れか）に示す欠陥検出回路12、位置メモリ回路13、欠陥判定回路14、欠陥登録回路15及び欠陥補正回路16により実行される。

【0058】

第1のステップS1では、欠陥検出回路12において、画素欠陥候補とすべきかどうかを検出し、画素欠陥の可能性のあるもののみ、その位置を示すアドレス情報を位置メモリ回路13に記憶させる。続く第2のステップS2では、位置メモリ回路13に記憶されたアドレス情報によって指定される画素の画像信号Y(n)について、欠陥判定回路14が欠陥検出回路12と同様の検出処理を行うことで、画素欠陥候補が真の画素欠陥であるか否かの判定を行う。そして、第3のステップS3では、画素欠陥であると判定された画素について、判定結果が記憶される。

【0059】

第4のステップS4では、欠陥候補の判定が何回目かを判定し、予め設定される規定回数以内であれば第2のステップS2に戻って欠陥候補の判定を繰り返す、規定回数に達していれば、第5のステップS5に進む。第2のステップS2に戻った場合、再度、画素欠陥候補に対する判定が行われ、続く第3のステップS3において、その判定結果が記憶される。この第3のステップS3における判定結果の記憶は、第2のステップS2で判定が繰り返される回数分だけ順次追加するように行われる。

【0060】

第5のステップS5では、規定回数繰り返された画素欠陥候補の判定で、所定の基準値を超えているか否かが判定される。即ち、規定回数だけ画素欠陥候補の判定を行い、そのうち、画素欠陥であると（真である）判定された回数が基準値として設定される回数を越えたものについて、真の画素欠陥であるとして、欠陥登録回路15が補正処理を施すべきアドレスを位置メモリ回路13に記憶させる

。そして、第 6 のステップ S 6 では、位置メモリ回路 1 3 に登録されたアドレスの画素に対し、欠陥補正回路 1 6 によって補正処理が施され、画素欠陥が補正された画像信号 $Y'(n)$ が生成される。

【 0 0 6 1 】

以上の第 1 のステップ S 1 から第 6 のステップ S 6 によれば、1 画面の画素の状況のみでなく、複数の画面にわたる画素の状況から画素欠陥を判定できるため、被写体の状態に起因する偶発的な画素欠陥を区別することができる。

【 0 0 6 2 】

ここで、欠陥候補の判定の繰り返しの回数については、回数を多くするほど判定に要する時間は長くなるが、より正確な判定結果を得られるようになる。また、第 5 のステップ S 5 における欠陥登録動作では、判定回数から画素欠陥が真であるか否かを決定する他、図 1 0 に示す第 2 の実施形態において得られるような露光制御情報 $E(m)$ や利得制御情報情報 $G(m)$ 、さらには、フォーカス制御情報等の各種制御情報を含めて判定すれば、判定制度をさらに向上できる。

【 0 0 6 3 】

図 1 4 は、本発明の画像欠陥の第 2 の検出方法を示すフローチャートである。この検出方法は、図 1 3 の場合と同様、図 1（または図 1 0、図 1 1、図 1 2 の何れか）に示す欠陥検出回路 1 2、位置メモリ回路 1 3、欠陥判定回路 1 4、欠陥登録回路 1 5 及び欠陥補正回路 1 6 により実行される。

【 0 0 6 4 】

第 1 のステップ S 1 では、欠陥検出回路 1 2 において、初期画面の画素欠陥候補を検出し、1 画面（あるいは分割領域）の全ての画素欠陥候補を示すアドレス情報を位置メモリ回路 1 3 に記憶する。第 2 のステップ S 2 では、欠陥判定回路 1 4 において、次の画面の画素欠陥候補を検出し、続く第 3 のステップ S 3 で、第 2 のステップ S 2 で検出された画素欠陥候補が第 1 のステップ S 1 で位置メモリ回路 1 3 に記憶された最初の画面の画素欠陥のアドレス情報と一致するか否かを判定する。

【 0 0 6 5 】

第 4 のステップ S 4 では、第 3 のステップ S 3 において一致が確認されたアド

レス情報を残し、一致が確認できなかったアドレス情報を廃棄するようにして欠陥情報、即ち、位置メモリ回路 1 3 の情報を更新する。あるいは、第 3 のステップ S 3 において、所定の回数（画面数）連続して一致が確認できたアドレス情報のみを残すか、所定の回数（画面数）連続して一致が確認できなかったアドレス情報のみを廃棄する。このアドレス情報を残すか廃棄するかの選択についても、位置メモリ回路 1 3 の情報を書き換えるか否かによって行われる。

【 0 0 6 6 】

第 5 のステップ S 5 では、欠陥情報の更新が何回目かを判定し、予め設定される規定回数以内であれば第 2 のステップ S 2 に戻って欠陥候補の検出を繰り返し、規定回数に達していれば、第 6 のステップ S 6 に進む。第 6 のステップ S 6 では、位置メモリ回路 1 3 に記憶されたアドレス情報が欠陥登録回路 1 5 に取り込まれて真の画素欠陥であるとして登録される。そして、第 7 のステップ S 7 では、欠陥登録回路 1 5 に登録されたアドレスの画素に対して、欠陥補正回路 1 6 によって補正処理が施され、画素欠陥が補正された画像信号 $Y'(n)$ が生成される。

【 0 0 6 7 】

以上の第 1 のステップ S 1 から第 7 のステップ S 7 によれば、図 1 3 に示す検出方法と同様、1 画面の画素の状況のみでなく、複数の画面にわたる画素の状況から画素欠陥を判定できるため、被写体の状態に起因する偶発的な画素欠陥を区別することができる。

【 0 0 6 8 】

以上の実施形態においては、判定基準値を目標画素に隣接する 3 行×3 列の合計 8 個の周辺画素のレベルに基づいて決定する場合を例示したが、それ以上、例えば、3 行×5 列の 1 4 個の周辺画素や、5 行×5 列の 2 4 個の周辺画素のレベルに基づいて判定基準値を設定するようにしてもよい。

【 0 0 6 9 】

【発明の効果】

本発明によれば、画素欠陥の情報を逐次更新することができるため、撮像素子の経時変化によって画素欠陥が増えた場合でも、特に設定を変更する必要なく、画素欠陥の補正ができる。

【 0 0 7 0 】

また、画素欠陥の判定基準に、画像信号を生成する撮像装置の制御情報を用いるようにしたことで、よりの確な判定が可能になる。そして、画素欠陥の判定を、画面を分割して行うようにしたことで、画素欠陥情報を記憶する位置メモリ回路の容量を節約することができる。さらに、各制御情報の読み出し及び書き込みが可能なインタフェース回路を接続したことで、外付けされるコンピュータ機器から制御情報を容易に変更することができるようになり、装置の汎用性を拡大できる。

【図面の簡単な説明】

【図 1】

本発明の画像信号処理装置の第 1 の実施形態を示すブロック図である。

【図 2】

メモリ回路の構成を示すブロック図である。

【図 3】

目標画素と周辺画素との位置関係を示す平面図である。

【図 4】

欠陥検出回路の構成を示すブロック図である。

【図 5】

判定基準値と周辺画素のレベルとの関係を示す図である。

【図 6】

欠陥判定回路の動作を説明するフローチャートである。

【図 7】

アドレス発生回路の構成を示すブロック図である。

【図 8】

画面上の画素欠陥のアドレスを説明する平面図である。

【図 9】

欠陥補正回路の構成を示すブロック図である。

【図 1 0】

本発明の画像信号処理装置の第 2 の実施形態を示すブロック図である。

【図 1 1】

本発明の画像信号処理装置の第 3 の実施形態を示すブロック図である。

【図 1 2】

本発明の画像信号処理装置の第 4 の実施形態を示すブロック図である。

【図 1 3】

本発明の画素欠陥の第 1 の検出方法を説明するフローチャートである。

【図 1 4】

本発明の画素欠陥の第 2 の検出方法を説明するフローチャートである。

【図 1 5】

固体撮像装置の構成を示すブロック図である。

【符号の説明】

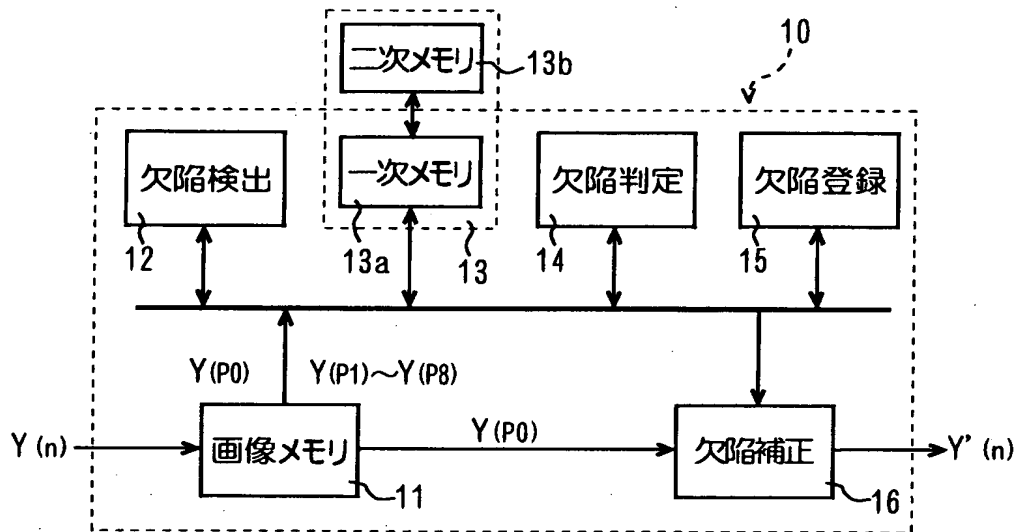
- 1 CCD イメージセンサ
- 2 駆動回路
- 3 タイミング制御回路
- 4 信号処理回路
- 5 欠陥補正回路
- 6 補正情報メモリ
- 1 1 画像メモリ回路
- 1 2 欠陥検出回路
- 1 3 位置メモリ回路
- 1 4、1 4' 欠陥判定回路
- 1 5 欠陥登録回路
- 1 6 欠陥補正回路
- 1 7 エリア指定回路
- 1 8 インタフェース回路
- 2 1、2 2 ラインメモリ
- 2 3 ~ 2 8 ラッチ
- 3 1 平均値算出部
- 3 2 最大値検出部

- 33 最小値検出部
- 34、35 減算器
- 36 加算器
- 37、38 比較器
- 51 水平カウンタ
- 52 垂直カウンタ
- 53 水平データラッチ
- 54 垂直データラッチ
- 61～64 除算器
- 65～67 加算器
- 68 セレクタ
- 69 比較器

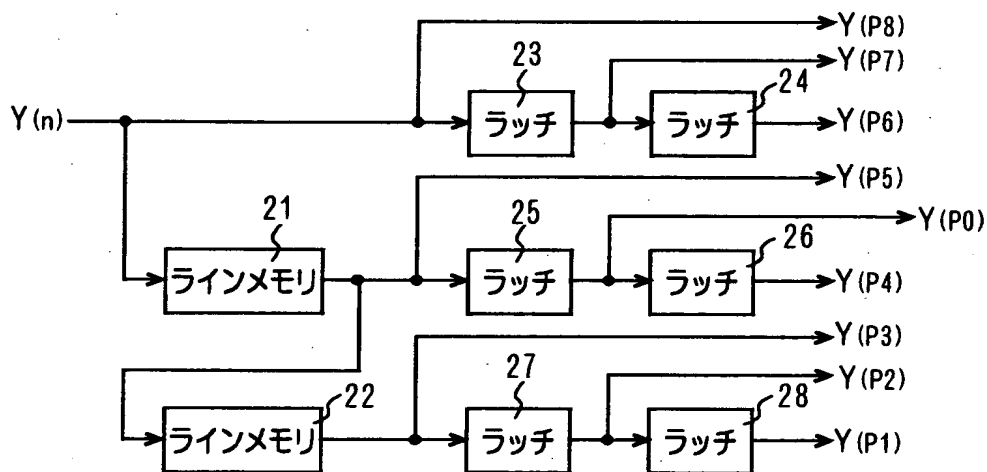
【書類名】

図面

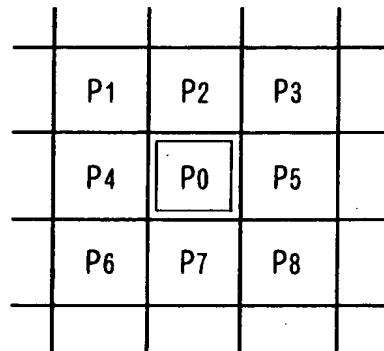
【図 1】



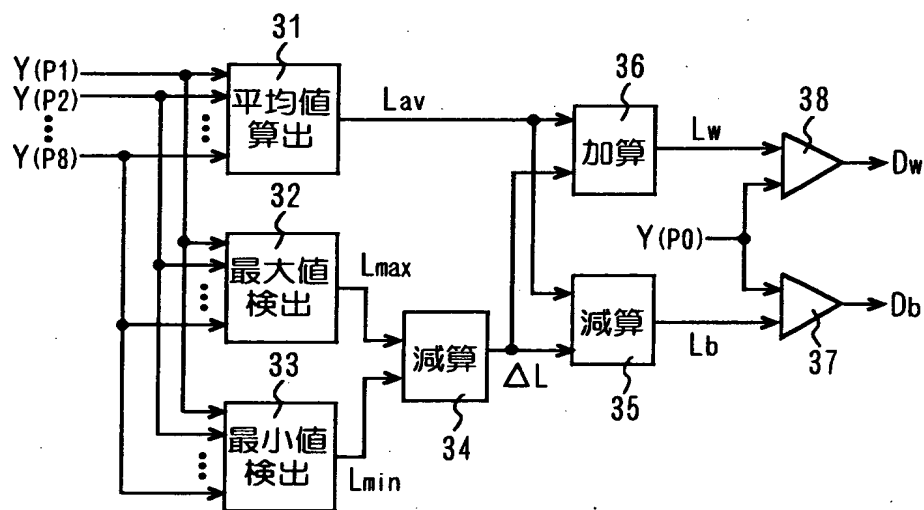
【図 2】



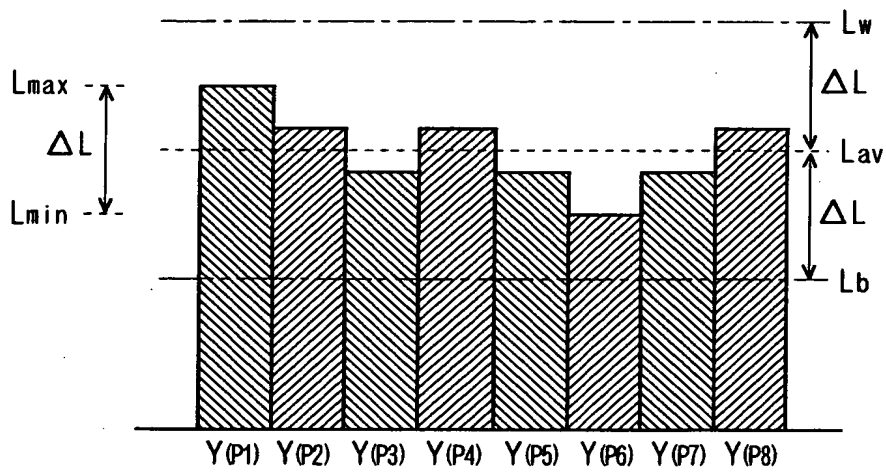
【図 3】



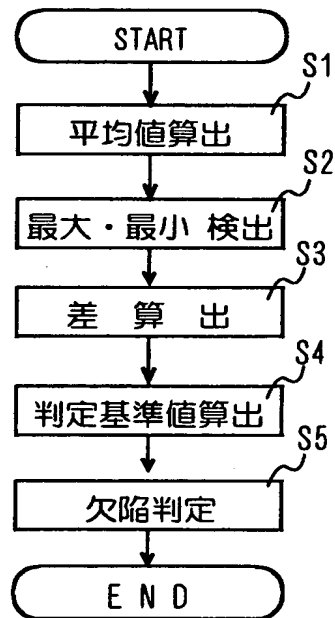
【図 4】



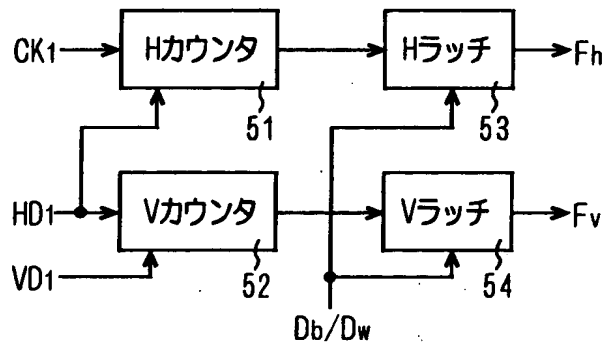
【図 5】



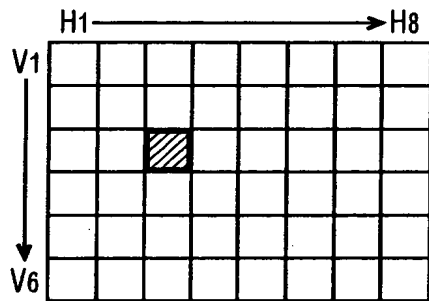
【図 6】



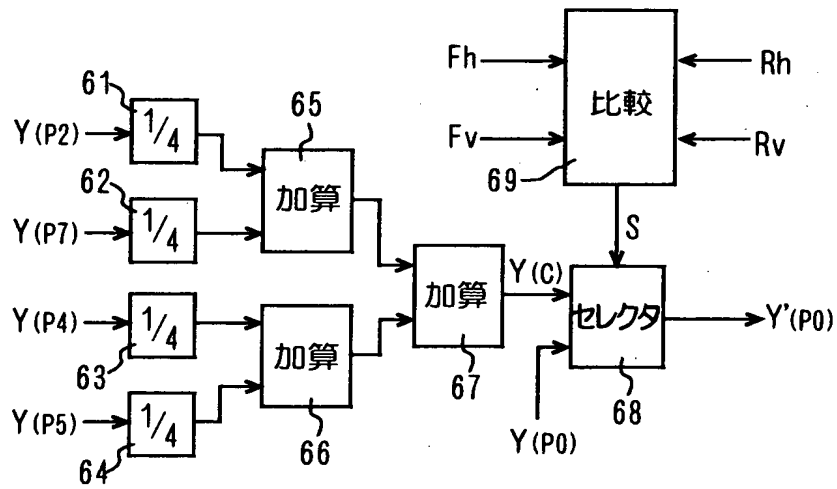
【図 7】



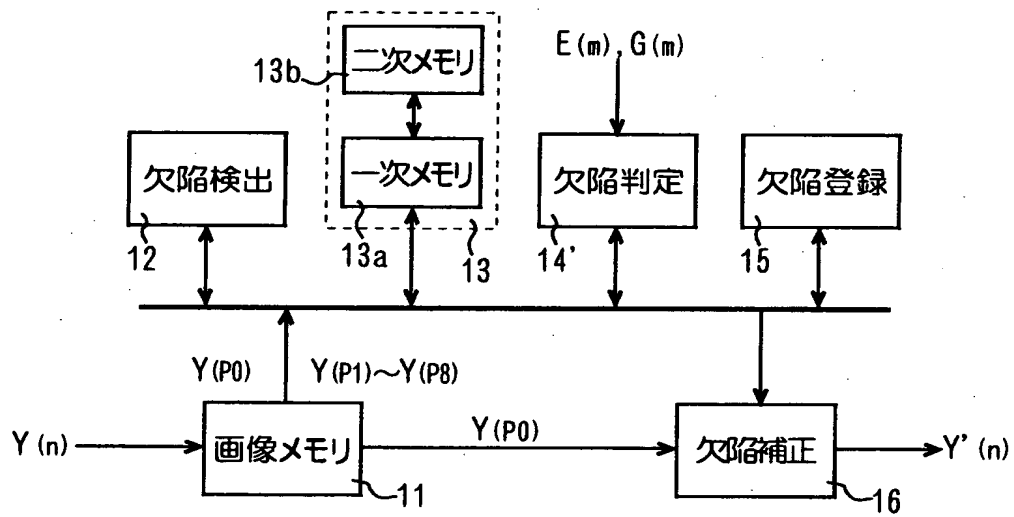
【図 8】



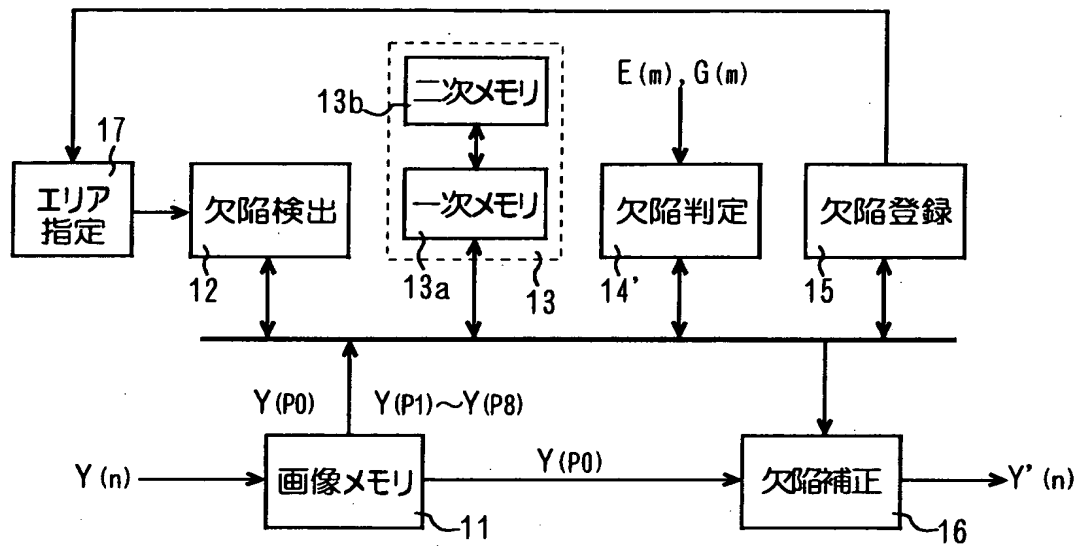
【図 9】



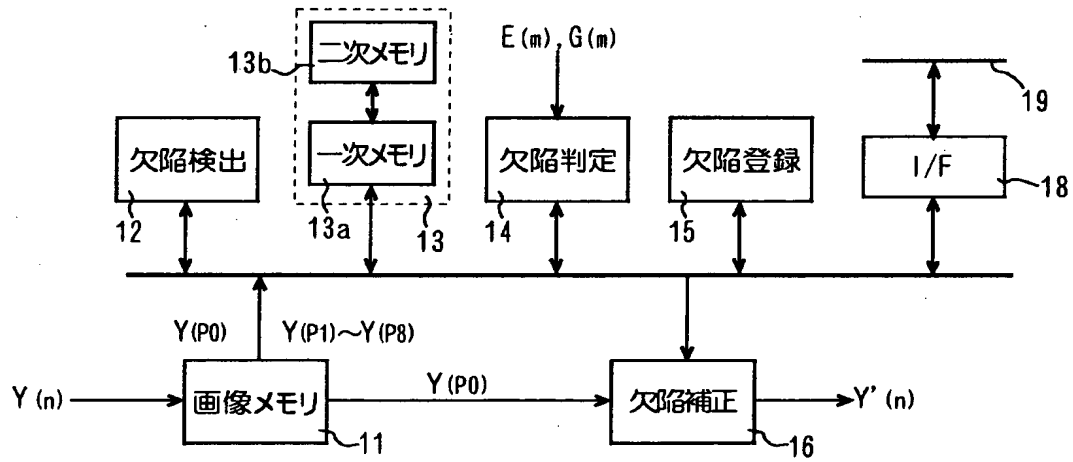
【図 1 0】



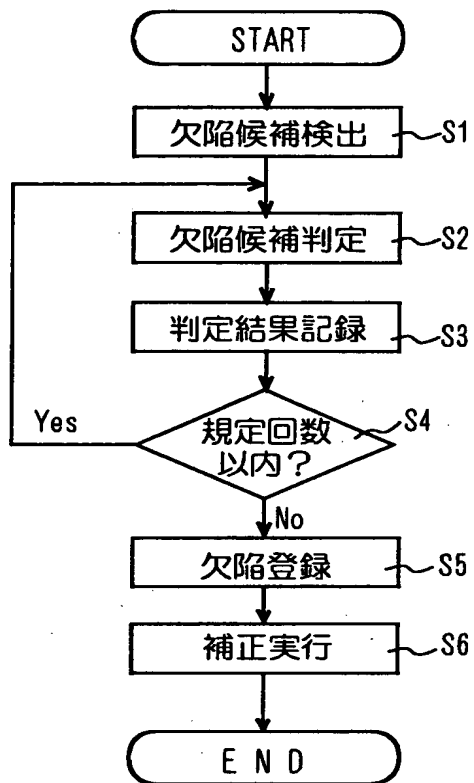
【図 1 1】



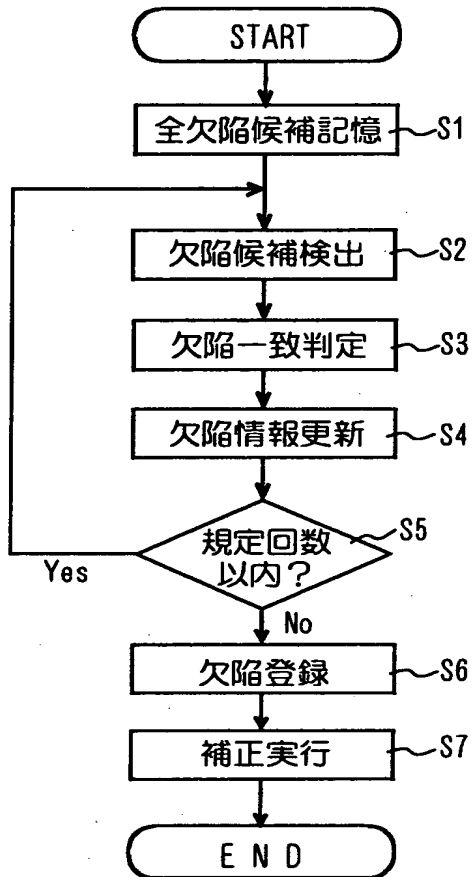
【図 1 2】



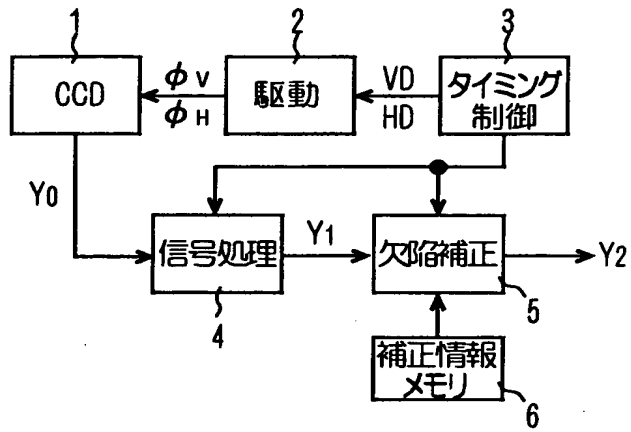
【図 1 3】



【図 1 4】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 画像信号に含まれる画素欠陥を効率よく検出する。

【解決手段】 欠陥検出回路 1 2 で目標画素の画像信号を周辺画素の画像信号と対比して画素欠陥候補を検出し、画素欠陥候補のアドレス情報を位置メモリ回路 1 3 に記憶する。位置メモリ回路 1 3 に記憶されたアドレス情報に基づいて欠陥判定回路 1 4 が画素欠陥の判定を繰り返し、その判定結果の連続性から画素欠陥のアドレス情報を決定し、欠陥登録回路 1 5 に登録する。登録された画素欠陥のアドレス情報に応じて欠陥補正回路 1 6 が画像信号 $Y(n)$ を補正して、画像信号 $Y'(n)$ を生成する。

【選択図】 図 1

出 願 人 履 歷 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社